

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03198432 A**(43) Date of publication of application: **29.08.91**

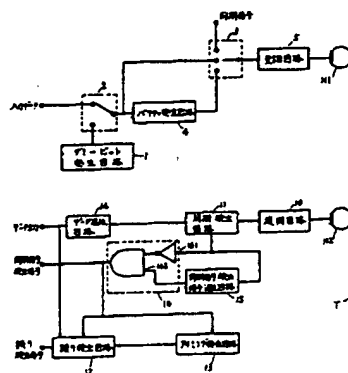
(51) Int. Cl

**H03M 13/00****H04L 1/00****H04L 7/08**(21) Application number: **01339229**(22) Date of filing: **26.12.89**(71) Applicant: **SHARP CORP**(72) Inventor: **YAMAWAKI CHIAKI  
IWAKI TETSUO****(54) ENCODING/DECODING DEVICE****(57) Abstract:**

**PURPOSE:** To prevent the pattern of a synchronizing signal from appearing on the boundary between a data area and a parity area to prevent detection of the presence of error in data by inserting at least one dummy bit to the last of the data area.

**CONSTITUTION:** A switch 3 is set to the synchronizing signal side to apply the synchronizing signal to a modulating circuit 5, and switches 3 and 2 are set to the input data side to give input data to a modulating circuit 5. The switch 2 is set to the dummy bit side to apply dummy bits, for example, '101' to the modulating circuit 5. Finally, the switch 3 is set to the parity side to apply the parity to the modulating circuit 5. Since at least one dummy bit is inserted to the last of the data area in this manner, the pattern of the synchronizing signal is prevented from appearing between the data area and the parity area, and an error detecting circuit is normally operated though the synchronizing signal pattern appears in the parity area.

COPYRIGHT: (C)1991,JPO&amp;Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-198432

⑫ Int. Cl.<sup>8</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)8月29日

H 03 M 13/00  
H 04 L 1/00  
7/08

F 6832-5J  
A 8732-5K  
8949-5K

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 符号・復号器

⑮ 特 願 平1-339229

⑯ 出 願 平1(1989)12月26日

⑰ 発 明 者 山 脇 千 明 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑱ 発 明 者 岩 木 哲 男 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 深見 久郎 外2名

明 細 書

1. 発明の名称

符号・復号器

2. 特許請求の範囲

同期信号、データ、同期信号と同じビット長さの  
パリティで構成されるフォーマットを有し、同  
期信号パターンが符号・復号されたデータ列で表  
わされた信号のための符号・復号器において、

符号器部分はデータ領域とパリティ領域の境界  
を含んで同期パターンが現われないようにデータ  
領域の最後に少なくとも1ビットのダミービット  
を挿入するダミービット挿入手段を備え、

復号器部分は、データ入力を再生する復調手段  
と、この復調手段により再生されたデータから同  
期信号を検出する同期信号検出手段と、再生され  
たデータをパリティビット長遅延させるデータ遅  
延手段と、同期信号検出信号をパリティビット長  
だけ遅延させる検出信号遅延手段と、この検出信  
号遅延手段で得られた信号を遅延していない同期  
検出信号で制御するゲート手段と、このゲート手

段からの出力でパリティビット長だけ遅延された  
データの誤り検出を行なう誤り検出手段と、を具  
備することを特徴とする符号・復号器。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は同期信号データ、パリティで構成され  
たフォーマットを有する信号を用いるための符号  
・復号器に関するものである。

〔従来の技術〕

従来、通信機器や磁気記録器等のデータ転送装  
置には、符号・復号器が使用される。この符号・  
復号器に用いるための信号のフォーマットは一般  
的に第4図に示すように同期信号 SYNC、デー  
タ D、パリティ P で構成され、このパリティ P は、  
CRC C (巡回符号) が付加されたものであって  
もよい。第5図は、このようなフォーマットの信  
号を復調する一般的な復号器のブロック図である。

同図を参照して、復調回路10は符号器から入  
力されるデータ入力を再生し、同期検出回路11  
は再生されたデータから同期パターンを検出し、

これを誤り検出回路12およびタイミング発生回路13に与える。誤り検出回路12は検出された同期信号のタイミングで再生データとの同期をとり、再生されたデータが正しいか否かパリティの判定を行なう。

このようなフォーマット信号の場合、同期信号のパターンはデータの中に現われないようなパターンを用いている。しかしながら、符号復号方式によっては、同期信号パターンが符号復号のデータ列に現われる場合がある。これを第6図に示されるS-DATのサブコードのフォーマットを例にして説明する。このときの符号変調方式は、ディジタルFM変調方式であり、同期信号パターンは、"0011111111111101" (NRZ表現)であり、パリティはCRCCの巡回符号である。この同期信号のパターンがデータの中に現われないようにダミービットをデータフォーマットの中に配置している。このダミービットは、16ビットの同期信号パターンと同じパターンがデータの中に現われないようにするため、使用す

るデータをBCDコードに制限したり、データの長さを区切ったりしている。このようにして、使用するデータを制限することによって、フォーマットのデータ領域に同期信号のパターンが現われるのを防止することができる。

【発明が解決しようとする課題】

しかしながら、上記のごとくしてデータ領域に同期信号のパターンが現われるのを防止しても第7A図に示されるごとくデータ領域とパリティ領域とにわたって同期信号のパターンが現われたり、第7B図に示されるごとくパリティ領域に同期信号のパターンが現われたりする可能性がある。この場合には同期信号検出回路11は誤って現われた同期パターンを同期信号として検出し、誤り検出回路12は本来のデータと同期がとれずデータ列が"誤り"であると判定してしまう。

本発明は上記問題点に鑑みてなされたものであり、データ領域とパリティ領域の境界に同期信号のパターンが現われないようにするとともにパリティ領域に同期信号パターンが現われても誤り検

出回路を正常に動作させる符号・復号器を提供することを目的とする。

【課題を解決するための手段】

前記目的を達成するための、本発明の符号・復号器は、符号器部分と符号器部分とを含み、前記符号器部分はデータ領域とパリティ領域の境界を含んで同期パターンが現われないようにデータ領域の最後に少なくとも1ビットのダミービットを挿入するダミービット挿入手段を備え、復号器部分は、データ入力を再生する復調手段と、この復調手段により再生されたデータから同期信号を検出する同期信号検出手段と、再生されたデータをパリティビット長に遅延させるデータ遅延手段と、同期信号検出信号をパリティビット長だけ遅延させる検出信号遅延手段と、この検出信号遅延手段で得られた信号を遅延していない同期検出信号で制御するゲート手段と、このゲート手段からの出力でパリティビット長だけ遅延されたデータの誤り検出を行なう誤り検出手段と、を具備するものである。

【発明の作用】

前記構成の本発明の符号・復号器によれば、符号器部分に備えられたダミービット挿入手段によりデータ領域の最後に少なくとも1ビットのダミービットを挿入することにより、データ領域とパリティ領域との間に同期信号のパターンが現われるのを防ぐことができる。そして、パリティ領域に現われる同期信号パターンは、符号器部分において処理される。すなわち、同期信号検出手段において、復調手段により再生したデータから同期信号のパターンを検出し、これを検出信号遅延手段によりパリティビット長に遅延させる。次にゲート手段がパリティ領域の次に配置される本来の同期信号(遅延なし)でゲートを遮断し、パリティ領域に現われた同期検出信号(パリティビット長に遅延している)の通過を阻止する。また同期信号領域に現われた同期パターンは検出信号遅延手段によりパリティビット長だけ遅延された後、誤り検出手段に与えられる。したがって、パリティ領域に同期信号のパターンが現われた場合でも、誤

り検出手段は正しく動作させることができる。

#### 【発明の実施例】

以下、添付図面を参照して本発明を詳細に説明する。

第1図は本発明の実施例を示すブロック図である。符号器はダミービット発生回路1、スイッチ2、スイッチ3、パリティ発生回路4、および変調回路5、記録ヘッドH1で構成される。

第2図はデータフォーマットに挿入されるダミービットを説明する図である。同図のうちAはダミービットを1ビットと仮定し、Bはダミービットを2ビットと仮定し、Cはダミービットを3ビットと仮定した例である。なおここで使用される同期信号パターンは“001111111111111101”である。この場合においてデータ領域とパリティ領域の境界を含んで同期信号のパターンが現われる態様は次のとおりである。すなわち、同A図にあるように、(1)ダミービットが1ビットで“0”のとき、“0:0:1111111111111101”(：0:はダミービット)のパ

ターンが現われ、また(2)ダミービットが“1”のとき、“00:1:1111111111111101”(：1:はダミービット)のパターンが現われる。以上のように、同期信号パターンがデータ領域と境界領域の境界を含んで現われる。同様に、同B図のようにダミービットが2ビットの場合、すべてのダミービットパターンで同期信号パターンがデータ領域とパリティ領域の境界を含んで現われる。また、同C図のようにダミービットが3ビットの場合には、ダミービットパターンが“101”以外のパターンのとき、同期信号パターンがデータ領域とパリティ領域の境界を含んで現われる。したがって同期信号パターンを“001111111111111101”と仮定すると、データ領域とパリティ領域の境界を含んで同期信号パターンが現われないようにするためには、ダミービットを最低3ビットと設定し、そのパターンを“101”とすればよい。

なおダミービットを“101”と設定したのは、同期信号パターンが前述のパターンの場合のとき

であって、同期パターンの符号形態によってはダミービット数やダミービットパターンが変更されるのは言うまでもない。すなわち、データ領域とパリティ領域の境界を識別するためには、同期パターンの符号列がすべて“0”の場合はダミービットを“1”の1ビットにすればよく、またすべて“1”の場合は逆に“0”にすればよい。

上記のダミービットを挿入するには、次のようにする。すなわち、(1)スイッチ3を同期信号側にセットし同期信号を変調回路5に加える。

(2)次に、スイッチ3、スイッチ2を入力データ側にセットし、入力データを変調回路5に与える。(3)次いで、スイッチ2をダミービット側にセットし、前記した“101”なるダミービットを変調回路5に加える。(4)最後に、スイッチ3をパリティをパリティ側にセットし変調回路5に与える。変調回路5により変調されたデータは順次記録ヘッドエッジH1へ送られテープTに記録される。

上記のごとくすることによって、データ領域と

パリティ領域の境界を含んだ同期信号パターンは現われない。しかしながら、このままではパリティ領域で同期信号パターンが現われる可能性がある。すなわち発明が解決しようとする課題で説明した(第7B図参照)ごとくパリティ領域も同期信号の領域と同じ16ビットに設定すると、パリティ領域の16ビットがそのまま同期信号パターンと同じ同期信号パターンとなる場合である。

次に復号器を説明する。前記第1図のブロック図において、復調回路10、同期信号検出回路11、誤り検出回路12、タイミング発生回路13は従来例で説明したものと同じである。データ遅延回路14、同期信号検出信号遅延回路15(以下検出信号遅延回路と略称する)、およびゲート回路16は同期信号検出回路11と誤り検出回路12の間に挿入される所定の遅延回路である。このゲート回路16は同期信号検出回路11に、入力ゲート161が接続され、他方の入力ゲート162が検出信号遅延回路15に接続される。すなわち同期信号が“H”レベルのときに、ゲートを

開放する。

以下第3図の複号器のタイミングチャート図に従って説明する。同図においてaは同期検出回路11により検出した同期検出信号、bは検出信号遅延回路15により遅延される同期検出信号、cはゲート回路16の出力信号である。またX1はパリティ領域に同期パターンが現われた時点、X2はその1ビット後（パリティビット長）の時点（この時点において同期信号領域に本来の同期信号が現われる）、X3はX2からさらにパリティビット長遅延した時点を示す。また、Yはパリティ領域に同期パターンが現われない場合のタイミングチャートである。

X1の時点ではパリティ領域に同期信号パターンが現われる。このパリティ領域に現れた同期パターンは同期検出回路11で検出され、検出信号はゲート回路16の入力ゲート161および検出信号遅延回路15に与えられる。この検出信号を受けてゲート回路16は遮断状態となる。したがってゲート回路16の出力は“L”となる。この

路15によりパリティビット長遅延された本来の同期信号はゲート回路16の入力ゲート162に入力される。したがってゲート回路16の出力は“H”となり同期信号が検出される。

以上のごとくパリティ領域内の同期信号のパターンが同期検出回路11によって検出されても、検出信号遅延回路15とゲート回路16の働きにより、同期信号領域内に現われる同期パターンの信号をパリティビット長遅延させた本来の同期信号を検出することができる。

このパリティビット長遅延させた同期検出信号が誤り検出回路12に与えられ、誤り検出回路12は、パリティビット長遅延された本来の同期信号のタイミングでデータ遅延回路14によりパリティビット長遅延されたデータをチェックする。これにより、パリティ領域に同期信号パターンが現われることによるデータ遅延の誤りを防止することができる。

次に、パリティ領域に同期信号パターンが現われなかった場合について説明する。Y1の時点で

結果、同期信号は未検出である。そして、X1からX2までの間はゲート回路16のゲートは開放状態となるが、この間の同期信号パターンは現われないので検出信号遅延回路15の出力は“L”である。すなわち同期信号は未検出である。

次に、X2の時点では同期信号領域に本来の同期信号が現われ、同期検出回路11によりこれが検出され、同期検出信号が検出信号遅延回路15およびゲート回路16の入力ゲート161に与えられる。この同期検出信号が入力されると、ゲート回路16のゲートが遮断される。したがってゲート回路16の出力は“L”となり、同期信号は未検出となる。そして、X2からX3の間は前記X1からX2までの間における態様と同様に同期信号検出回路11により同期信号が検出されないで、ゲート回路16の出力は“L”となる。

次に、X3の時点では同期検出回路11により同期信号が検出されないで、ゲートは開放状態のままである。そして前記X2の時点で同期検出回路11により検出され、さらに検出信号遅延回

路15によりパリティビット長遅延された本来の同期信号はゲート回路16の入力ゲート162に与えられる。したがってゲート回路16の出力は“H”となり同期信号が検出される。しかしながら、ゲート回路16の出力は検出信号遅延回路15の作用で同期信号は未検出となる。従ってY3の時点では、同期信号検出信号はゲート回路16および検出信号遅延回路15の作用で検出される。

上記実施例ではディジタル磁気記録装置を例にして説明したが、これに替えて光伝送路や信号線で符号器と復号器とを結合したデータ転送装置に適用することが可能であるなど、その他の発明の要旨を変更しない限りで種々の設計変更を施すことが可能である。

#### 【発明の効果】

以上本発明によれば、ダミービット挿入手段によりデータ領域の最後に少なくとも1ビットのダミービットを挿入することにより、データ領域とパリティ領域の境界に同期信号のパターンが現わ

れるのを防止することができる。したがって、誤り検出手段がデータに“誤り”有り検出することを防止することができる。また、パリティ領域に誤った同期パターンが現われても、本来の同期信号を検出信号遅延手段によりパリティビット長遅延させた信号を同期信号として検出することができるので、誤り検出手段がデータに“誤り”有り検出することを防止することができる。

#### 4. 図面の簡単な説明

第1図は本発明の実施例を示すブロック図、第2図は本発明の実施例におけるダミービットの挿入方法、第3図は第1図のブロック図のタイミングチャート、第4図は従来および本発明における符号変調フォーマット、第5図は従来例を示すブロック図、第6図は従来例および本発明の実施例で使った符号変調フォーマット、第7図は従来例で示した誤った位置に発生した同期信号パターン。

図において11は同期信号検出回路、12は誤り検出回路、13はタイミング発生回路、14はデータ遅延回路、15は同期信号検出信号遅延回路

路、16はゲート回路である。

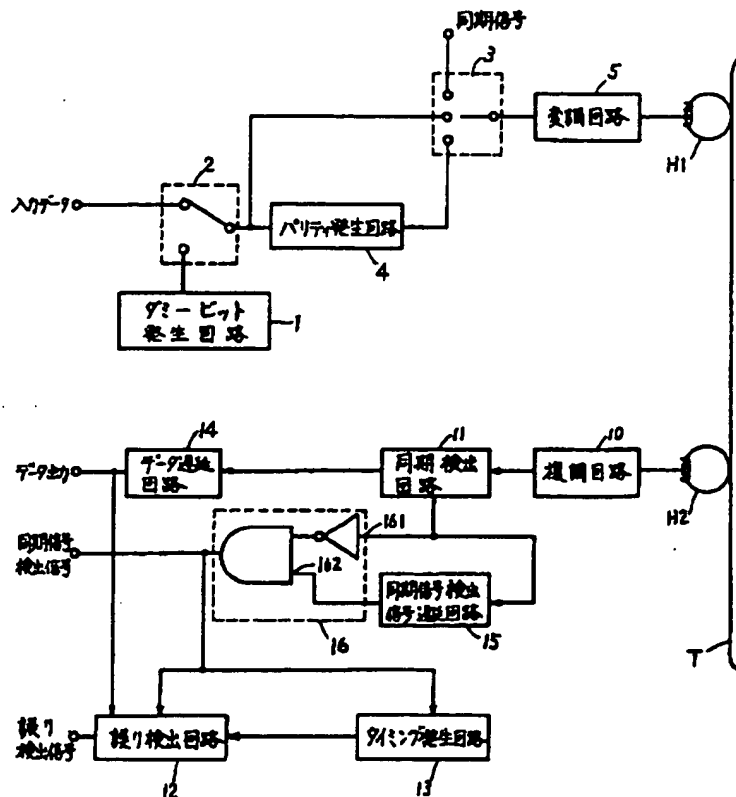
特許出願人 シャープ株式会社

代理人 弁護士 深見 久 郎

(ほか2名)

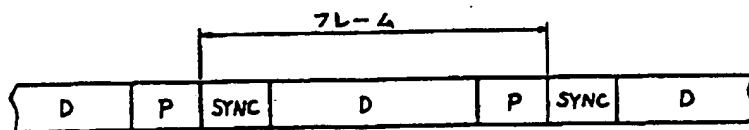


第1図

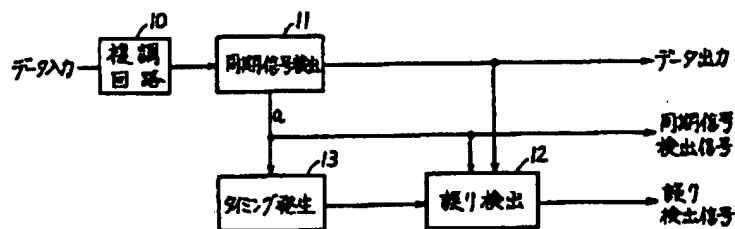




第4図



第5図



第6図

同期信号パターン "001111111111111101"

SYNC	D	P
16 (ビット)	115 (ビット)	16 (ビット)
147 (ビット)		

第7図

